

## THIN FILM TRANSISTOR ARRAY

PUB. NO.: 62-126677 [JP 62126677 A]

PUBLISHED: June 08, 1987 (19870608)

INVENTOR(s): TANAKA HIROHISA KISHI KOHEI KATO HIROAKI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP(Japan)

APPL. NO.: 60-270355 [JP 85270355]

FILED: November 27, 1985 (19851127)

### ABSTRACT PURPOSE:

To improve insulation of an intersection part between a gate wiring and a source wiring, to suppress yield of leakage between a gate and source and to improve the yield rate of a TFT array, by providing two insulating layers, which hold a semiconductor layer that is a constituting film of the TFT, at the overlapped part of the source wiring and the gate wiring.

### CONSTITUTION:

A gate electrode 102 and a source electrode 107 of a thin film transistor (TFT) are provided on a substrate 101. A gate wiring 103 and a source wiring 108, which commonly link the electrodes 102 and 107, are intersected at a overlapping region. Both insulating layers 104 and 106, which hold a semiconductor layer that is a constituting film of the TFT, are provided at the overlapped region. For example, a TFT array is formed on the supporting substrate such as the glass substrate 101 and arranged in correspondence with the intersection of the gate wiring 103 and the source wiring 108. An SiNx film, which is a second insulating layer 106, is deposited on an a-Si layer 105, which is the semiconductor layer of the TFT. Then, one end part of the layer 106 is extended to the upper part of the source wiring 108 along the gate wiring 103. The second insulating layer 106 is provided at the intersecting part of the gate wiring 103 and the source wiring 108.

⑪ 公開特許公報 (A)

昭62-126677

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)6月8日

H 01 L 29/78  
G 02 F 1/133  
G 09 F 9/35  
H 01 L 27/12

3 2 7  
3 0 1

8422-5F  
8205-2H  
6731-5C  
7514-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 薄膜トランジスタアレイ

⑮ 特 願 昭60-270355

⑯ 出 願 昭60(1985)11月27日

⑰ 発 明 者 田 仲 広 久 大阪市阿倍野区長池町22番22号 シャープ株式会社内  
⑱ 発 明 者 岸 幸 平 大阪市阿倍野区長池町22番22号 シャープ株式会社内  
⑲ 発 明 者 加 藤 博 章 大阪市阿倍野区長池町22番22号 シャープ株式会社内  
⑳ 出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号  
㉑ 代 理 人 弁理士 杉山 毅 至 外1名

明 細 書

1. 発明の名称

薄膜トランジスタアレイ

2. 特許請求の範囲

1. 基板上に並設された薄膜トランジスタのゲート電極とソース電極をそれぞれ共通に連結するゲート配線とソース配線が交差する重畳領域にTFTの構成膜である半導体層を挟持する絶縁層を2層とも介在させたことを特徴とする薄膜トランジスタアレイ。

2. 特許請求の範囲第1項において、

上記半導体層がアモルファスシリコン薄膜である薄膜トランジスタアレイ。

3. 特許請求の範囲第1項において、

上記絶縁層が酸化シリコン膜である薄膜トランジスタアレイ。

4. 特許請求の範囲第1項において、

上記絶縁層が酸化シリコン膜である薄膜トランジスタアレイ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、製造の歩留りの向上を図った構造を有する薄膜トランジスタ(以下TFTと略す)アレイに関する。

(従来技術)

近年、液晶のアクティブマトリクス表示において、絶縁性基板上にTFTをマトリクス状に形成したアクティブ・マトリクス基板の研究が活発に行なわれている。TFTに用いられる半導体材料としては、ポリSi、a(アモルファス)-Si、Te、CdSe等がある。a-Siを用いたTFTの構造の一例を第7図の部分断面図及び第8図の部分平面図に示す。第7図は、第8図のA-A線の断面を示す。ガラス基板1の上に、ゲート電極2, 2, ...を連結するゲート配線3を膜厚2,000~3,000ÅのTa, Mo, Ti, Al等の金属により形成する。ガラス基板1及びゲート電極2上に堆積されるゲート絶縁膜4は、プラズマCVD法によって形成した膜厚1,000~2,000Åの酸化シリコン(以下SiNxと略す)膜である(第8図において

は、図示しない。TFTの半導体層としてゲート絶縁膜4上に堆積されるa-Si層5は、プラズマCVD法により膜厚100Å～3,000Åに形成する。a-Si層5上には第2の絶縁膜6として2,000～3,000ÅのSiNx膜がプラズマCVD法により形成される。ソース電極7及びソース電極7を連結するソース配線8はゲート配線3に直交して形成される。ソース配線8にはソース電極7と接続される分枝部8aが一定ピッチで並設され、TFTは分枝部8aを中心に形成される。ソース電極7とドレイン電極9とは、ともに膜厚2,000～10,000ÅのTa, Mo, Ti, Al等の金属により形成する。なお、ソース電極7及びドレイン電極9とa-Si膜5の間に、P(リン)をドーピングした膜厚500～2,000Åのa-Si膜10を介在させると、ソース電極7、ドレイン電極9とa-Si層5のオーミックコンタクトがとれ、好ましい。このようにして、ゲート配線3とソース配線8との交点毎にTFTがアレイ状に形成される。さらに、各TFTに対応して、酸化インジウム等の透明導

(3)

ス間のリークが、ゲートのエッジ(縁部)とソースとが交差する部分(第5図における斜線部分)において特に多発することを見い出した。この原因は、ゲート絶縁膜の膜厚がゲート電極の膜厚より大きい又は同じ程度であるゆえに、ゲート配線のエッジの部分の膜厚が薄くなって耐圧が低下し、さらに、ゲート絶縁膜の膜厚が平坦な部分と段差部分とで異なり、段差部分の方が絶縁性の面で劣るためと考えられる。

本発明の目的は、TFTアレイの製造の歩留りを向上し得るTFTアレイ構造を提供することにある。即ち、本発明のTFTアレイは絶縁性基板上にゲート電極、ゲート絶縁膜、半導体膜、第2の絶縁膜、ソース電極、ドレイン電極を順次積層してアレイ状に形成されるTFT構造において、ソース配線とゲート配線の重量部にも第2の絶縁膜を介在させたことを特徴とする。

(発明の効果)

上記構成とすることにより、本発明においては、ゲート配線とソース配線間の交差部の絶縁性を向

(5)

電極から成るソース電極11とドレイン電極9とを形成して形成される。

(発明が解決しようとする問題点)

TFTアレイを用いたアクティブ・マトリクス基板において、マトリクスの各配線ごとに共通のゲート配線からシグナル信号を入力し、共通のソース配線からデータ信号を入力する。ゲート配線とソース配線との交点は多数であり、例えば250×250マトリクスにおいては、62,500ヶ所存在する。この多数の交点のうち1ヶ所でもゲート・ソース間にリークが生じると必然的に該当するゲート配線とソース配線で表示に際して十字型のライン欠陥が発生し、実用に耐えない表示となり、アクティブ・マトリクス基板の歩留りはゼロとなる。このため、ゲート配線とソース配線の数が増すにつれてゲート・ソース間の絶縁の確実性がより一層要求されることとなる。

(問題点を解決するための手段)

本発明者らは、ゲート・ソース間のリーク箇所を種々の方法によって調べた結果、ゲート・ソー

(4)

上させ、ゲート・ソース間のリークの発生を抑制してTFTアレイの歩留りを向上させている。従ってこのTFTアレイ基板を用いた液晶表示装置の製作が容易となり信頼性が高くなる。

&lt;実施例1&gt;

第1図は、本発明の1実施例を示すTFTアレイ基板の部分平面図である。第2図は、第1図のB-B線断面図(ゲート配線103とソース配線108の交差部の部分断面図)である。TFTアレイはガラス基板101等の支持基板上に形成され、ゲート配線103とソース配線108の交点に対応して配置される。本実施例では第2の絶縁層106であるSiNx膜をTFTの半導体層であるa-Si層105上に堆積した後、その片縁部をゲート配線103に沿ってソース配線108の上の方まで延在させ、ゲート配線103とソース配線108の交差する部分に第2の絶縁層106を介挿することにより、ゲート・ソース間のリークを大幅に減少させている。ソース配線108の分枝部にはTFTのソース電極が連結され、TFTの

(6)

ドレイン電極109に絵素電極110が連続されている。尚、ゲート配線103とソース配線108の交差部にさらに半導体層であるa-Si層105を介在させるとゲート・ソース間のリークをより減少させることができる。

第1図に示した構造を有するTFTアレイは例えば第3図(A)~(D)に示すように製造される。第3図(A)~(D)に示すTFT製造工程の部分断面図は第1図のTFTにおいてはC-C線の断面図を示す。まず、ガラス基板101上に2,000Å厚のTa(タンタル)層をスパッタリングにより全面に被着し、ホトエッチングによって第1図に示すようなゲート配線103の形にパターン化して、第3図(A)に示すようにゲート電極102を形成する。このゲート電極102上に後述する如く半導体層が堆積され、TFTの動作部が形成される。次に第3図(B)に示すように、プラズマCVD法によりゲート絶縁膜104となる3,000Å厚のSiNx膜、半導体層となる1500Å厚のa-Si層105及び第2の絶縁膜106である2,000Å厚のSiNx膜を全

(7)

ホトエッチングによりパターン化して絵素電極110を形成する。

以上の製造工程を介して製作されるTFTはガラス基板101上にマトリクス状に配列されたゲート配線103とソース配線108の各交点に対応して配層され、TFTアレイ基板となる。ゲート配線103にシグナル信号、ソース配線108にデータ信号を入力することによりTFTがマトリクス駆動される。即ち、ゲート配線103のシグナル信号はゲート電極102より各ライン毎にTFTにゲート電圧として印加され、ソース配線108のデータ信号は分枝部を介して三層構造ソース電極107より各ライン毎にTFTにデータ電圧として印加される。このデータ電圧がa-Si層105を介してシグナル信号で同期制御を受け、三層構造ドレイン電極109より絵素電極110に印加される。ソース電極107及びドレイン電極109のa-Si層はTFT半導体層であるa-Si層105とオーミックコンタクトを形成し、Ti層は密着性及び電極の機械的強度を向上させ

(9)

面にわをって連続的に被着し、ホトエッチングにより上部SiNx膜を第1図に示す第2の絶縁膜106の形にパターン化する。即ち、第2の絶縁膜106はゲート配線103に沿ってソース配線108との交差部分の直上まで延設される。さらに第3図(C)に示すようにa-Si層105もホトエッチングにより第1図に示すa-Si層105の形にパターン化する。このa-Si層105も上記第2の絶縁膜106と同様にソース配線108との交差部まで延設される。次に第3図(D)に示すように、プラズマCVD法によりP(リン)をドーピングしたa-Si層を1,000Å引き続きスパッタリングによりTi(チタン)層を1,000Å、Mo(モリブデン)層を2,000Å連続して三層に堆積し、ホトエッチングにより第1図に示すソース配線108及びドレイン電極109の形にパターン化してa-Si層、Ti層及びMo層の三層構造ソース電極107及びドレイン電極109とすることによりTFTが形成される。最後にスパッタリングにより3,000Åの酸化インジウム膜を堆積した後、

(8)

る。

#### <実施例2>

第4図は、本発明の他の実施例を示すTFTアレイ基板の部分平面図である。第5図は第4図のD-D線断面図(ゲート配線203とソース配線208の交差部の部分断面図)である。実施例1同様に第2の絶縁層206をパターン化する際にこれを2分割し、TFT側に位置する絶縁層206aとソース配線208上に位置する絶縁層206bとする。即ち、ゲート配線203とソース配線208の交差する部分に第2の絶縁層206bを残存させる。本実施例では第2の絶縁層206をSiO<sub>2</sub>(酸化シリコン)膜で形成しており、ゲート・ソース間のリークを大幅に減少させている。

第4図に示した構造を有するTFTアレイは、第6図(A)~(D)に示すように製造される。第6図(A)~(D)に示すTFT製造工程は、第1図のE-E線断面図に対応している。まず、ガラス基板201上に2,000Å厚のMo層をスパッタリングにより全面に被着し、ホトエッチングにより第1図に示す

(11)

ゲート配線 203 の形にパターン化して、第 6 図 (A) に示すようなゲート電極 102 を形成する。次に、第 6 図 (B) に示すように、プラズマ CVD 法により、ゲート絶縁膜 204 である  $3,000 \text{ \AA}$  厚の  $\text{SiN}_x$  膜及び TFT の半導体膜である  $1,500 \text{ \AA}$  厚の a-Si 層 205 を全面に連続的に被着し、ホットエッチングにより a-Si 層 205 を第 4 図に示す半導体層の形にパターン化する。この a-Si 層 205 は TFT の部分のみに形成される。さらに、第 6 図 (C) に示すように、プラズマ CVD 法により第 2 の絶縁層 206 である  $3,000 \text{ \AA}$  厚の  $\text{SiO}_2$  膜を全面に被着し、ホットエッチングにより第 4 図に示す如く TFT 側の絶縁層 206a とソース配線 208 上の絶縁層 206b に分割してパターン化する。次に第 6 図 (D) に示すように、プラズマ CVD 法により  $\text{P}_0$  (リン) をドーブした a-Si 層を  $1,000 \text{ \AA}$ 、 $\text{Al}$  層を  $2,000 \text{ \AA}$  連続して被着しホットエッチングにより第 4 図に示すソース配線 208 及びドレイン電極 209 の形にパターン化してソース電極 207 及びドレイン電極 209 とし、TFT ア

(11)

第 2 の絶縁層、107, 207…ソース電極、108, 208…ソース配線、109, 209…ドレイン電極、110, 210…絵素電極。

代理人 弁理士 福 士 愛 彦 (他 2 名)

レイとする。最後にフッ素タリウムにより  $3,000 \text{ \AA}$  の酸化インジウム膜を形成し、ホットエッチングによりドレイン電極 209 の片端が露出された絵素電極 210 の形にパターン化することにより TFT アレイ基板が作製される。本実施例においては第 2 の絶縁層 206 のみを延設してソース配線 208 とゲート配線 203 の間に介挿している。

#### 4. 図面の簡便な説明

第 1 図及び第 4 図はそれぞれ本発明の 1 実施例を示す TFT アレイ基板の要部平面図である。

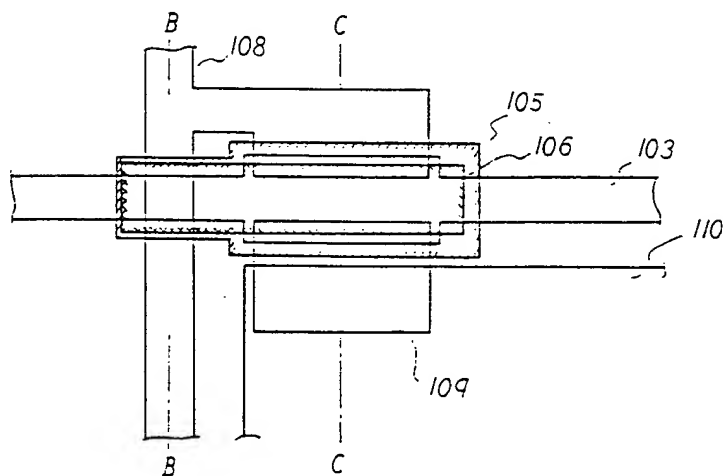
第 2 図及び第 5 図はそれぞれ第 1 図及び第 4 図の B-B 断面及び D-D 断面図である。

第 3 図 (A) 乃至 (D) 及び第 6 図 (A) 乃至 (D) はそれぞれ第 1 図及び第 4 図に示す実施例の製造工程図である。

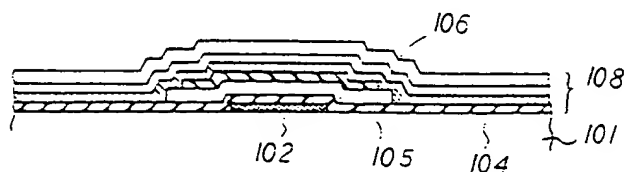
第 7 図及び第 8 図はそれぞれ従来の a-Si-TFT アレイ基板の要部断面図及び要部平面図である。

101, 201…絶縁基板、102, 202…ゲート電極、103, 203…ゲート配線、104, 204…ゲート絶縁膜、105, 205…a-Si 層、106, 206…

02



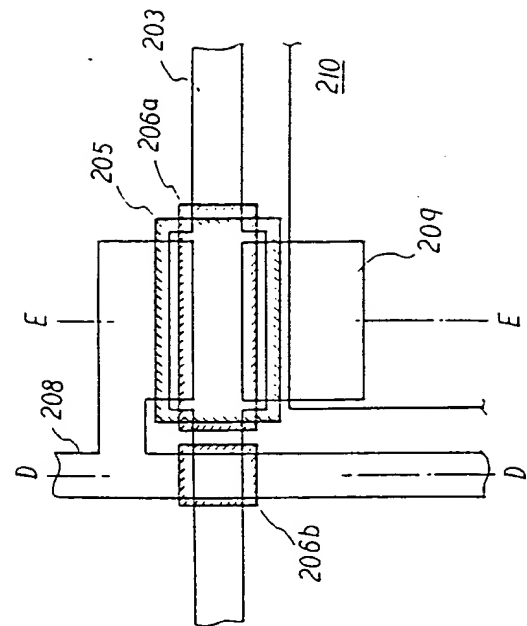
第 1 図



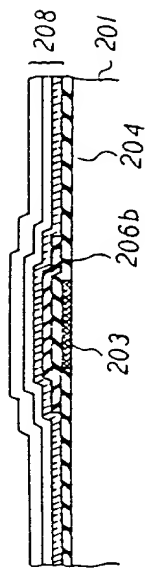
B-B 断面図

第 2 図

03

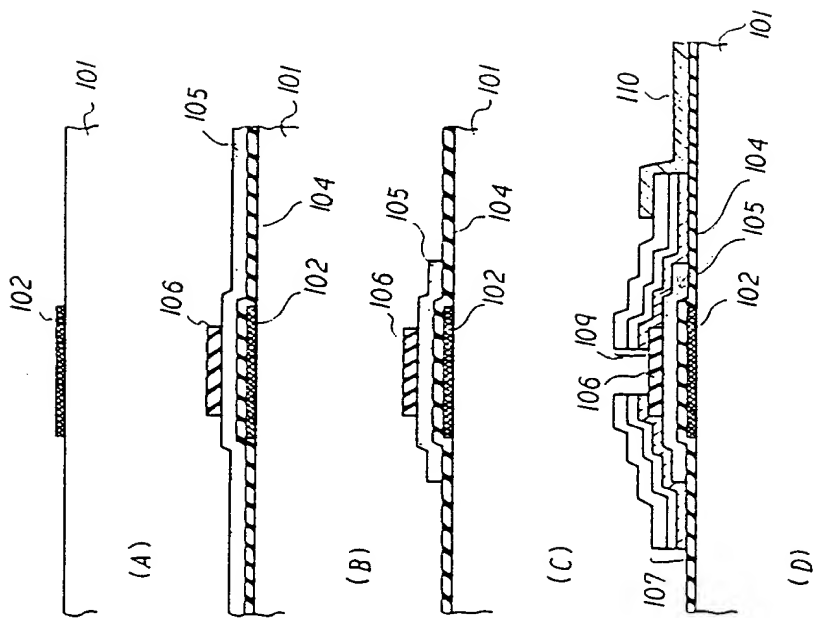


第 4 图



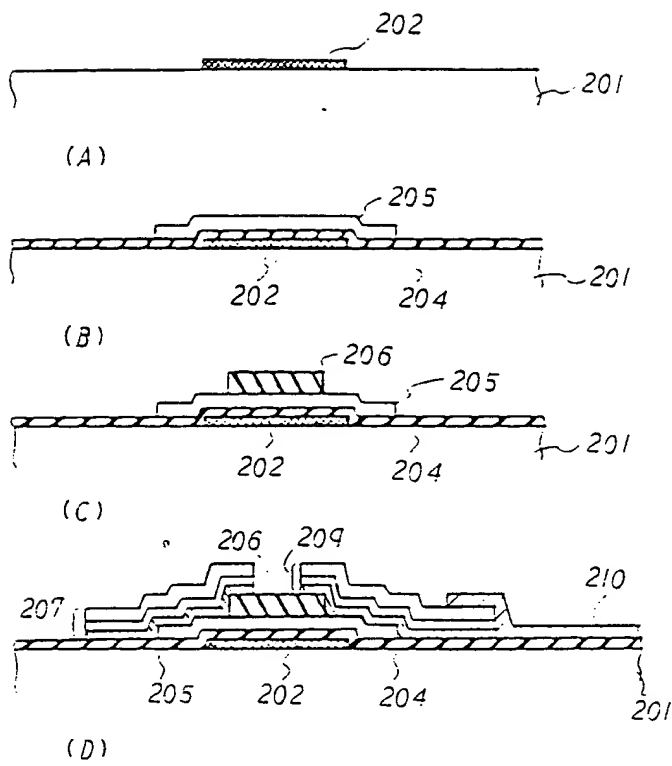
D-D断面图

第 5 图

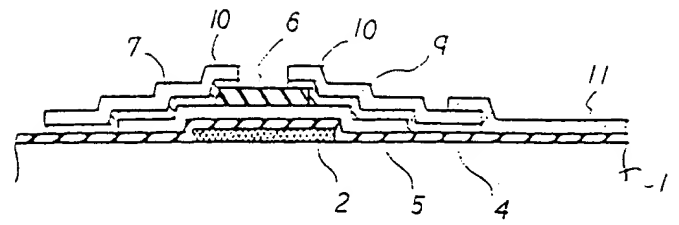


C-C断面图

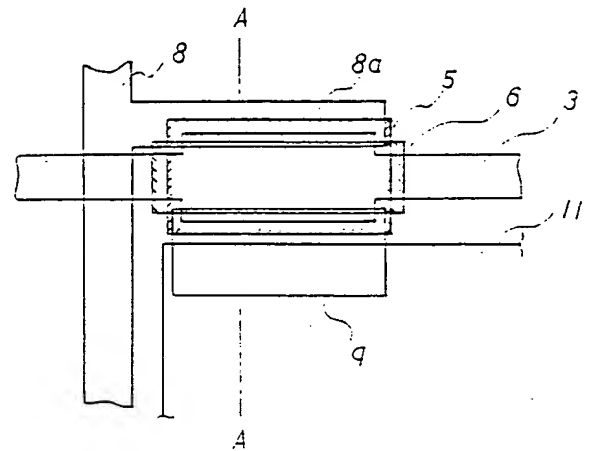
第 3 图



第 6 図



第 7 図



第 8 図